

⑫ 実用新案公報 (Y2) 昭 56-16547

⑪ Int.Cl.³

識別記号

庁内整理番号

⑭ 公告 昭和 56 年 (1981) 4 月 17 日

G 01 R 31/28

7359-2 G

(全 4 頁)

1

2

⑬ LSI の検査装置

⑮ 実 願 昭 51-124146

⑯ 出 願 昭 51 (1976) 9 月 14 日

公 開 昭 53-41071

⑰ 昭 53 (1978) 4 月 10 日

⑱ 考 案 者 増井 捷宏

大阪市阿倍野区長池町 22 番 22 号

シャープ株式会社内

⑲ 考 案 者 若山 広芳

大阪市阿倍野区長池町 22 番 22 号

シャープ株式会社内

⑳ 考 案 者 小島 徹

大阪市阿倍野区長池町 22 番 22 号

シャープ株式会社内

㉑ 出 願 人 シャープ株式会社

大阪市阿倍野区長池町 22 番 22 号

㉒ 代 理 人 弁理士 福士 愛彦

㉓ 実用新案登録請求の範囲

クロック発生回路を内蔵し、該クロック発生回路で形成されるクロック信号を基準として所定の出力信号を導出する LSI の性能良否を検査する検査装置に於いて、LSI の出力端子から導出される出力信号を入力して、該出力信号に基いて LSI 内のクロック発生回路で形成されるクロック信号と同一位相のクロック信号を形成するフェイズ・ロック・ループ回路を設け、該フェイズ・ロック・ループ回路の出力信号を導入して信号レベルを検知する比較回路を備えてなることを特徴とする LSI の検査装置。

㉔ 考案の詳細な説明

本考案は、LSI (大規模集積回路) の性能の良否を検査する装置に関するもので、特にクロック発生回路を内蔵した LSI の検査装置に関する。多くのデジタル素子を組み込んで構成される LSI の良否を判定する機能テストとしては、ファン

クションテストが行われている。該ファンクションテストは LSI の入力端子にパルスを与えて、発生する出力パルスを期待値と比較してテストするものである。但しこの場合 LSI のクロック端子は外部に導出して設けられ、外部からクロック信号を与えるか、又は LSI の (内蔵している) クロックに同期して入力パルスを与えて、出力パルスを導出することが最少限必要とされる。

最近の LSI 技術においては、端子数の制約からクロック端子を外部に導出させない例がしばしばあり、特に電子式卓上計算機用 LSI においては、1 個の LSI が 1 つの閉じたシステムを形成するため、クロック端子を外部に出す必要はない。

本考案は上記のように、クロック発生回路を内蔵させて、外部にクロック導出用の端子を設ける必要のない LSI を対象としてその性能を検査する装置を提供するものである。

尚、クロック端子を外部に導出していない LSI の機能を検査する方法として、従来は被テスト LSI を実際の使用状態にしてテストする方法が採られている。

しかし、テスト装置側において被テスト LSI の出力端子を完全にチェックするには、ストロブ信号として LSI 外部に出力されていないクロック信号と同期したものを必要とするが、被テスト LSI 毎に動作する周波数が異なっているため上記実装テスト方法では上記のような同期したストロブ信号を得ることは極めて難しく、従って適切な検査結果が得られない惧れがあつた。

例えば LSI から出力される表示信号によつて LED 表示装置を駆動させる場合、第 1 図に示すような波形のディジット信号 T とセグメント信号 S 等が LSI から出力される。上記出力信号の場合、表示装置を鮮明な状態に動作させるには、ディジット信号の t_1 期間はブランキングを行うために図のように低レベルとして出力されていなければならない。

しかし従来の実装テスト方法では、完全に同期したストロブ信号を形成することが困難なためブラッキングが適切に行われているか、或いは出力信号が好ましい波形をもつて出力されているか等検査することができなかつた。

本考案は上記従来のLSI性能テストの問題点に鑑みてなされたもので、簡単な構成を付加するのみで、LSIの性能がより完全にチェックできる検査装置を提供する。

次に図面を用いて本考案を詳細に説明する。

第2図はクロック発生回路を予め内蔵させて形成された被テストLSIについて、LSI内蔵のクロックの動作速度で機能テストを実施する検査装置の概要を示すブロック図である。

同図に於て、1はミニ・コンピュータ或いはマイクロ・コンピュータを用いて構成される制御部で、性能検査に要求される入力指令、検査処理プログラム、要求される性能に対して被テストLSIを介して導出された出力信号を識別する機能等が必要に応じて予めプログラムされている。

2は上前制御部1からの入力指令に基いて、所望のパターンをもつた信号を形成する入力パターン発生部で、該パターン発生部2で形成された入力信号はドライバー3を介して被テストLSI4に設けられた端子に与えられる。

5は上記被テストLSI4を作動状態にするためのテスト用電源である。ドライバー3を介して入力信号が与えられた被テストLSI4は供給された電源によつて作動し、組み込まれた回路素子機能に対応する出力信号を形成する。被テストLSI4から導出された出力信号はコレパレータ6を介して出力パターン比較部7に与えられると同時に、本発明によるストロブ発生回路8にも与えられる。該ストロブ発生回路8については次に詳細に説明するが、被テストLSI4から与えられる出力信号に基いてストロブ発生回路8で所定の信号処理が施こされ、比較の基準となるべきストロブ信号が形成されて上記出力パターン比較部7に転送される。出力パターン比較部7では被テストLSI4から得られた出力信号と、該LSI出力信号に基いて形成されたストロブ信号とのレベルの比較が行われ、その比較結果が制御部1に与えられて予めプログラムされた結果に関する期待値との間で、検査装置にセットされ

た被テストLSIの性能の良否の判定が行われる。

次にストロブ発生回路8の詳細を第3図のブロック図に示す。尚説明を簡略にするため電子式卓上計算機用LSIを挙げて説明する。

5 ストロブ発生回路8は、フェイズ・ロック・ループ回路9及びワンショットマルチバイブレータ10等から構成されている。上記フェイズ・ロック・ループ回路9は入力信号の位相に追従する位相同期回路で、同期回路系9Aは位相比較器、低域フィルタ及び電圧制御発振器からなり、被テストLSI4から与えられる出力信号 T_1D （例えば電子式卓上計算機用LSIのデジジット信号のうちの1信号）を入力して帰還された信号との立上りの位相を比較し、比較結果に対応する誤差電圧を発生し、低域フィルタを通して電圧制御発振器に加えられる。電圧制御発振器では上記誤差電圧によつて帰還された信号の位相が過渡的な状態を経て T_1D 信号の位相と同一になるように調整される。

20 ここで本実施例においては、第4図に示す如く1デジジットが4ビットよりなり、4個の $\overline{\phi}_2$ で示されるクロック（被テストLSI内で形成され外部には出力されていない）によつて1デジジットが成つているとする。

25 電圧制御発振器を経て、デジジット信号 T_1D と同位相にロックされた信号は、本実施例では1デジジットが4ビットより成ることから同期回路系9Aで第4図に示す如く更に通信されてSCG信号を形成し、該SCG信号は次段の分周回路9B及びワンショットマルチバイブレータ10に与えられる。

上記分周回路9Bは、被テストLSIの中でデジジット信号 T_1D をクロック信号 $\overline{\phi}_2$ から分周して作り出す回路と同じ回路で構成されている。即ち本実施例においては T_1D 信号がクロック $\overline{\phi}_2$ の $1/4 \times 1/10$ （4ビット、10デジジット）の周期で発生するため、分周回路9Bは $1/4 \times 1/10$ の分周段で構成される。

上記同期回路系9Aから導出されるSCG信号は、被テストLSIから導出されたデジジット信号に基いて形成され、LSIに内蔵されたクロック信号 $\overline{\phi}_2$ と完全に同一位相の関係にある。マルチバイブレータ10は上記SCG信号を入力してテスト用のストロブ信号STBを形成する回路

5

で、パルス幅100nsec~500nsecの細いパルスを発生させ、該マルチバイブレータ10の出力が被テストLSIの出力信号波

形の検査に用いられるストローブ信号STBとなる。本実施例ではストローブ信号STBは例えばSCG信号の立上りと立下りでトリガされて、1ディジット期間に8個のパルスが作り出されている。

上記ストローブ発生部8を備えた検査装置において、被テストLSIをセットしていない状態では、フェイズ・ロック・ループ系は電圧制御発振器の特性に依存した周波数で自由発振するが、被テストLSIがセットされて一つのLSI端子からディジット信号 T_1D が発生すると、ストローブ発生部の同期回路系9Aは上記 T_1D 信号が引き込み周波数の範囲内にあれば入力し、過渡的な状態を経て同期回路系で形成される擬似的な T_1P 信号を T_1D 信号にロックする。該ロックされた T_1P 信号をもとにしてストローブ信号STBが形成され、出力パターン比較部7に与えられる。

ここで出力パターン比較部7で被テストLSIのディジット信号 T_1D 、 T_2D …をテストする場合、ストローブ信号STBのうち、第4図のパルス2, 3, 4, 5で「高」レベル及びパルス8で「低」レベルになっていることを検査するならば、被テストLSIのディジット信号導出機能としてほぼ完全な検査が行える。尚STB信号のパルス1と7はディジット信号の立上り及び上下りの時間に重なるためテスト対象から省くことが好ましい。

また第1図に示したセグメント信号を検査する

6

場合には、パルス1, 2, 3, 4, 5, 6, 7の全てで「高」(或いは「低」)レベルになっていることを検査するならばほぼ完全なものとなる。

上記検査結果を制御部1に入力して、予めプログラムされた期待値と比較して判断することにより、被テストLSIの性能の良否が検査される。

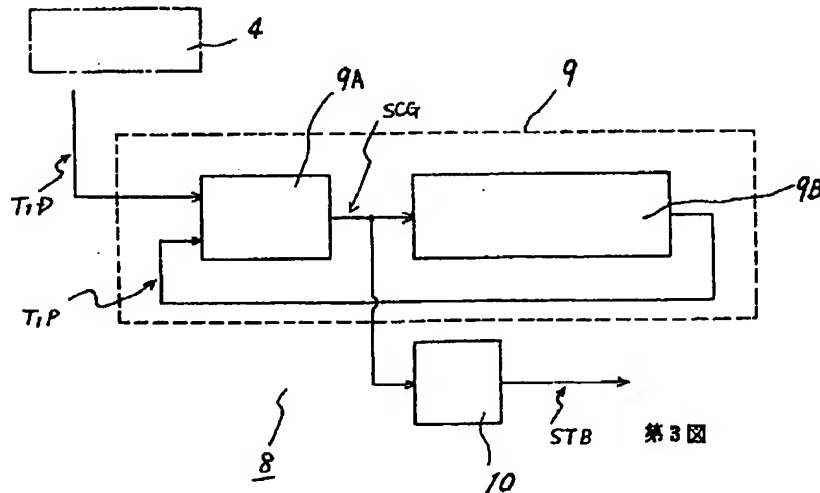
尚STB信号のパルス1, 2…8のどのパルスを被テストLSIの出力信号のテストに適用するかは、上記実施例に限られるものではなく、被テストLSIの機能によつて任意に変更し得ることは明らかである。

以上本考案のように、フェイズ・ロック・ループ回路を備えて、クロック内蔵型LSIの性能検査装置を構成することにより、簡単な構成を付加するのみで、検査対象の広い検査装置を得ることができ、また信頼性のすぐれた検査結果を得ることができる。

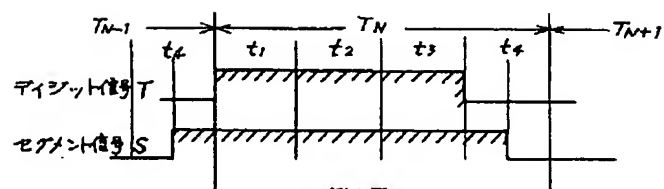
図面の簡単な説明

第1図は電子式桌上計算機に適用する信号の波形図、第2図は本考案による一実施例のブロック図、第3図は同実施例の要部を示すブロック図、第4図は同実施例の動作説明に供する波形図である。

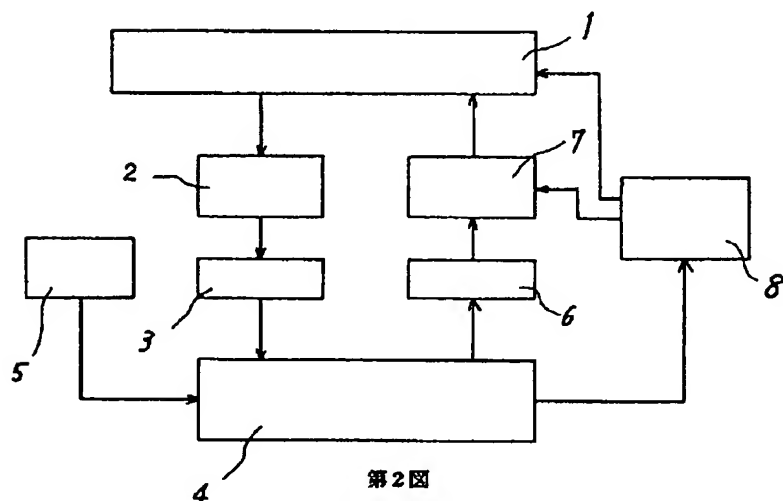
1…制御部、2…入力パターン発生部、4…被テストLSI、7…出力パターン発生部、8…ストローブ発生部、9…フェイズ・ロック・ループ回路、9A…同期回路系、9B…分周回路、10…ワンショットマルチバイブレータ、STB…ストローブ信号。



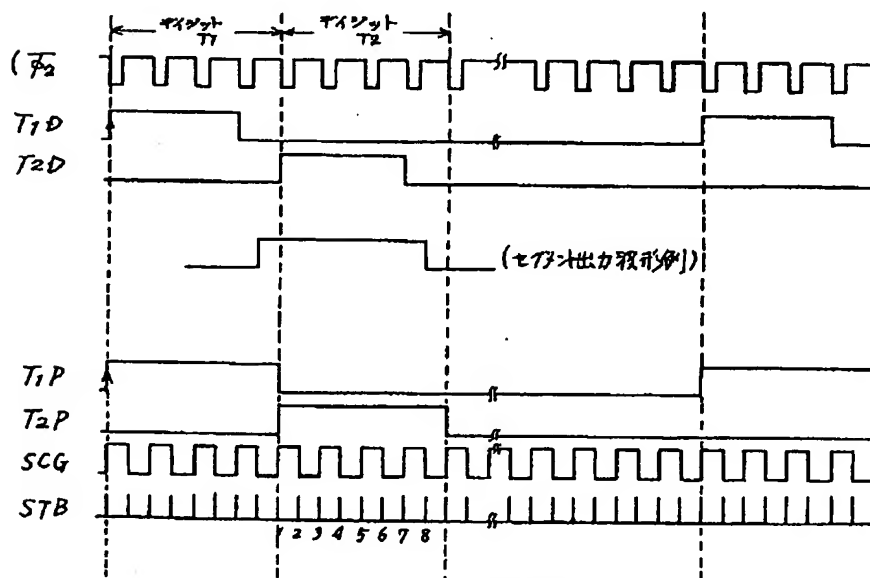
第3図



第1圖



第2図



第4図